

ASSIGN INFORMATION HOLDING CIRCUIT

Patent Number: JP6068015
Publication date: 1994-03-11
Inventor(s): ISHIHARA KOICHI
Applicant(s):: NEC CORP
Requested Patent: ☐ JP6068015
Application Number: JP19920099090 19920420
Priority Number(s):
IPC Classification: G06F13/14
EC Classification:
Equivalents:

Abstract

PURPOSE:To automatically reset assign information in the case that it is not reset within a prescribed time.

CONSTITUTION:An assign information set signal 101, an assign information reset signal, 102, and time data 106 of the output signal of a time data holding circuit 4 are inputted to a timer circuit 3, and a time counting end signal 104 of this circuit 3 is inputted to an OR circuit 2, and OR between this signal and the assign information reset signal 102 is operated and is outputted as a flip flop circuit reset signal 105. A flip flop circuit 1 outputs assign information 103 by the assign information set signal 101.

Data supplied from the esp@cenet database - I2

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平6-68015

(43)公開日 平成6年(1994)3月11日

(51)Int.Cl.⁵

G 0 6 F 13/14

識別記号

庁内整理番号

F I

技術表示箇所

3 1 0 E 8133-5B

審査請求 未請求 請求項の数4(全 9 頁)

(21)出願番号 特願平4-99090

(22)出願日 平成4年(1992)4月20日

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 石原 浩一

東京都港区芝五丁目7番1号日本電気株式会社内

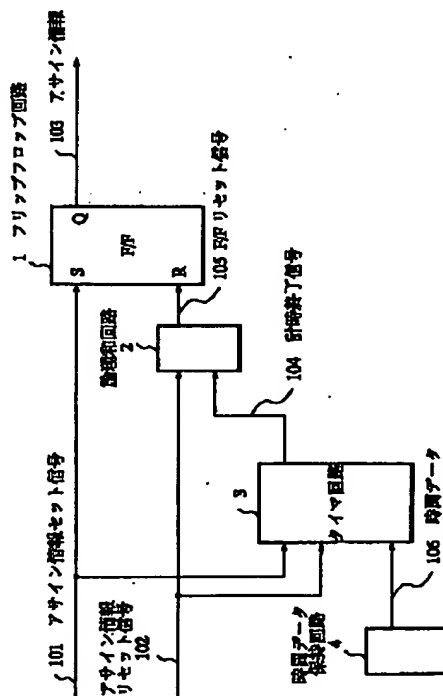
(74)代理人 弁理士 京本 直樹 (外2名)

(54)【発明の名称】 アサイン情報保持回路

(57)【要約】 (修正有)

【目的】 所定の時間内にアサイン情報がリセットされないときに自動的にリセットを可能にする。

【構成】 アサイン情報セット信号101と、アサイン情報リセット信号102及び時間データ保持回路10の出力信号の時間データ116はタイマ回路3に入力し、そこからの計時終了信号104はアサイン情報リセット信号102と論理和回路2に入力し論理和をとり、それをフリップフロップ回路1でアサイン情報セット信号101とによってアサイン情報103を出力する。



出力するタイマ回路と、前記上位装置から出されるアサイン情報解除命令と前記計時終了信号との論理和によって前記アサイン情報解除信号を出力する論理和回路とを備えたものである。

【0010】本発明のアサイン情報保持回路は、また、上位装置から出されたアサイン情報保持命令によってアサイン情報を保持しアサイン情報解除信号によって前記アサイン情報の保持を解除する2個の保持回路と、前記2個の保持回路の出力信号を入力してそれらの論理積によるアサイン情報を出力する論理積回路とを備えたものである。

【0011】

【実施例】次に、本発明の実施例について図面を参照して説明する。

【0012】図1は本発明の第一の実施例を示すブロック図、図2は図1の実施例のタイマ回路の詳細を示すブロック図、図3は図1の実施例の正常動作時の信号の波形を示すタイミングチャート、図4は図1の実施例において上位装置が故障して所定の時間内にアサイン情報のリセットを行わなかった場合の信号の波形を示すタイミングチャート、図6は図1の実施例の時間データ保持回路の詳細を示す回路図である。

【0013】図1において、アサイン情報セット信号101は、フリップフロップ回路(F/F)1およびタイマ回路3に入力している。アサイン情報リセット信号102は、論理和回路2およびタイマ回路3に入力している。時間データ保持回路4の出力信号の時間データ106も、タイマ回路3に入力している。タイマ回路3からの計時終了信号104は、論理和回路2に入力している。論理和回路2は、アサイン情報リセット信号102と計時終了信号104との論理和を取り、それをフリップフロップ回路リセット信号(F/Fリセット信号)105としてフリップフロップ回路(F/F)1に対して出力している。F/F1は、アサイン情報セット信号101およびF/Fリセット信号105によってアサイン情報103を出力する。

【0014】タイマ回路3は、図2に示すような構成を有している。すなわち、アサイン情報セット信号101は、フリップフロップ回路(F/F)5およびカウンタ回路8に入力している。アサイン情報リセット信号102は、フリップフロップ回路(F/F)5および9に入力している。クロック回路6の出力信号のクロック信号112およびフリップフロップ回路(F/F)5の出力信号のクロック制御信号111は、論理積回路7に入力している。論理積回路7の出力信号のクロック信号113と時間データ保持回路4の出力信号の時間データ106は、カウンタ回路8に入力している。カウンタ回路8の出力信号のカウント終了信号114は、フリップフロップ回路(F/F)9に入力している。

【0015】時間データ保持回路4は、図6に示すよう

に、8ビットのデータとして固定的に設定されている時間データ106を出力している。

【0016】次に、上述のように構成したアサイン情報保持回路の動作について、図1～図4および図6参照して説明する。

【0017】上位装置およびアサイン情報保持回路が正常に動作しているときは、アサイン情報セット信号101がローレベル“L”(図3の参照符号a)になると、F/F1の出力であるアサイン情報103はハイレベル“H”(参照符号b)となる。このとき、タイマ回路3は、次のように動作して計時を開始する。

【0018】まず、クロック制御信号111が“L”(参照符号c)であるため、クロック信号112が“H”(参照符号d)になっても、論理積回路7の出力のクロック信号113は常に“L”(参照符号e)となる。ここで、アサイン情報セット信号101が“L”(参照符号a)になると、時間データ保持回路4から出力されている時間データ106がカウンタ回路8にセットされる。またアサイン情報セット信号101が“L”(参照符号a)になると、F/F5がセーットされ、クロック制御信号111が“H”(参照符号f)になる。クロック制御信号111が“H”(参照符号f)の間にクロック信号112が“H”(参照符号g)になると、クロック信号113も“H”(参照符号h)になる。これによってカウンタ回路8にクロック信号が供給されるため、カウンタ回路8は計時を開始する。このとき、カウント終了信号114および計時終了信号104は、共に“H”(参照符号iおよびj)である。

【0019】カウンタ回路8が計時を終了する前にアサイン情報リセット信号102が“L”(参照符号k)になると、計時終了信号104が“H”(参照符号l)であるため、F/Fリセット信号105は“L”(参照符号m)となり、F/F1がリセットされてアサイン情報103は“L”(参照符号n)となる。これにより、タイマ回路3は、次のように動作して計時を停止する。

【0020】アサイン情報リセット信号102が“L”(参照符号k)になると、F/F5がリセットされてクロック制御信号111が“L”(参照符号o)になる。このとき、クロック信号112が“H”(参照符号p)になっても、クロック信号113は“L”(参照符号q)のままである。これによってカウンタ回路8にクロック信号が供給さなくなり、カウンタ回路8は計時を停止する。

【0021】上位装置が故障して所定の時間内にアサイン情報のリセットを行わなかった場合は次のように動作する。

【0022】アサイン情報セット信号101がローレベル“L”になってタイマ回路3が計時を開始するまでの動作は、上述の場合と同じである。

【0023】あらかじめ設定してある時間が経過する

と、カウンタ回路8は計時を停止し、カウント終了信号114はローレベル“L”（図4の参照符号r）になる。これによってF/F9がセットされ、計時終了信号104が“L”（参照符号s）となる。このとき、アサイン情報リセット信号102が“H”（参照符号t）であるため、F/Fリセット信号105は“L”（参照符号u）となり、F/F1がリセットされてアサイン情報103は“L”（参照符号w）となる。つまり、あらかじめ設定してある時間内にアサイン情報がリセットされない場合は、上位装置が故障したものと判断し、自動的にアサイン情報をリセットする。

【0024】上位装置が復旧した場合は、アサイン情報リセット信号102を“L”（参照符号w）にすると、F/F5がリセットされてクロック制御信号111が“L”（参照符号x）になり、クロック信号113は“L”（参照符号y）のままである。またF/F9もリセットされ、計時終了信号104は“H”（参照符号z）となる。

【0025】図5は本発明の第二の実施例を示すブロック図、図7は図5の実施例の時間データ保持回路の詳細を示す回路図である。

【0026】本実施例は、図1の実施例の時間データ保持回路4の代りに時間データ保持回路10を置換えたものであり、その他の部分の構成は図1の実施例と同じである。

【0027】時間データ保持回路10は、図7に示すように、時間設定信号108が“L”となったときに時間データ107をの値を時間データ116として出力し、時間設定信号108が“H”となったときに時間データ116の出力を保留するラッチ回路11を有している。これにより、タイマ回路3が計時する時間を外部から変えることができる。時間データ107および時間設定信号108をスイッチに接続すると、スイッチの設定によってタイマ回路3の計時時間を変更することだ可能となる。上位装置に接続すれば、上位装置から任意の時間を設定することができる。その他の部分の構成および動作は、図1の実施例と同じである。

【0028】図8は本発明の第三の実施例を示すブロック図である。

【0029】図8において、アサイン情報セット信号101は、フリップフロップ回路（F/F）21および22に入力している。アサイン情報リセット信号102も、F/F21および22に入力している。F/F21からはアサイン情報123が、F/F22からはアサイン情報124が出力され、いずれも論理積回路23に入力している。論理積回路23は、アサイン情報125が出力されている。

【0030】次に、上述のように構成したアサイン情報保持回路の動作について説明する。

【0031】アサイン情報リセット信号102がイン

クティブのときにアサイン情報セット信号101をアクティブにすると、アサイン情報123およびアサイン情報124は、共に“H”となる。従って、論理積回路23の出力のアサイン情報125は“H”となる。次に、アサイン情報セット信号101をインアクティブにしてアサイン情報リセット信号102をアクティブにすると、アサイン情報123およびアサイン情報124は、共に“L”となる。従って、論理積回路23の出力のアサイン情報125は“L”となる。

【0032】F/F21が故障してアサイン情報123が“0”となった場合は、アサイン情報リセット信号102がインアクティブのときにアサイン情報セット信号101をアクティブにすると、アサイン情報124は“H”となるが、アサイン情報123は“L”のままである。従って、論理積回路23の出力のアサイン情報125も“L”のままとなる。

【0033】F/F21が故障してアサイン情報123が“1”となった場合は、アサイン情報リセット信号102がインアクティブのときにアサイン情報セット信号101をアクティブにすると、アサイン情報124は“H”となり、アサイン情報123は“H”のままである。従って、論理積回路23の出力のアサイン情報125は“H”となる。この状態でアサイン情報セット信号101をインアクティブとし、アサイン情報リセット信号102をアクティブにすると、アサイン情報124は“L”となり、アサイン情報123は“H”のままである。しかし、アサイン情報125は“L”となるため、アサイン情報はリセットされる。

【0034】F/F22が故障した場合も同様である。すなわち、2個のF/Fのうちの一つが故障しても、アサイン情報がセットされたままの状態となることはない。

【0035】図9は本発明の第四の実施例を示すブロック図である。

【0036】図9の実施例は、図8の実施例に排他的論理和回路を付加したものである。

【0037】排他的論理和回路24には、アサイン情報123およびアサイン情報124が入力し、故障検出信号126を出力している。

【0038】正常な状態におけるアサイン情報123とアサイン情報124とは、同じ状態となっているため、排他的論理和回路24の出力の故障検出信号126は、常に“L”となっている。

【0039】F/F21が故障してアサイン情報123が“0”となった場合は、アサイン情報セット信号101をアクティブにすると、上述のようにアサイン情報124は“H”となるが、アサイン情報123は“L”のままである。従って、論理積回路23の出力のアサイン情報125も“L”のままとなる。このとき、排他的論理和回路24の入力信号が一致しなくなるため、故障検

出信号126は“H”となり、回路が故障していることが報告される。

【0040】F/F21が故障してアサイン情報123が“1”となった場合は、アサイン情報125がセットされているときはアサイン情報123もアサイン情報124も共に“H”となるため、故障検出信号126は“L”となって回路の故障は検出できない。しかし、アサイン情報をリセットしたとき、すなわちアサイン情報リセット信号102をアクティブにしたとき、アサイン情報124が“L”となるため、排他的論理和回路24 10の入力信号が一致なくなり、故障検出信号126は“H”となる。

【0041】F/F22が故障した場合も同様である。すなわち、2個のF/Fのうちの一つが故障しても、アサイン情報がセットされたままの状態となることはなく、さらに回路が故障していることが報告される。

【0042】

【発明の効果】以上説明したように、本発明のアサイン情報保持回路は、上位装置から出されたアサイン情報保持命令によってアサイン情報を保持しアサイン情報解除信号によってアサイン情報の保持を解除する保持回路と、あらかじめ設定されている時間データを保持する時間データ保持回路または上位装置から時間データと時間データ設定信号とを入力して時間データ設定信号によって時間データを保持する時間データ保持回路と、アサイン情報保持命令によって計時を開始し設定した時間が経過したとき計時終了信号を出力するタイマ回路と、上位装置から出されるアサイン情報解除命令と計時終了信号との論理和によってアサイン情報解除信号を出力する論理和回路とを設けることにより、所定の時間内にアサイン情報がリセットされないときに自動的にアサイン情報をリセットすることが可能になるという効果がある。また、上位装置から出されたアサイン情報保持命令によってアサイン情報を保持しアサイン情報解除信号によってアサイン情報の保持を解除する2個の保持回路と、2個の保持回路の出力信号を入力してそれらの論理積によるアサイン情報を出力する論理積回路とを設けることにより、アサイン情報保持回路が故障しても、アサイン情報がセットされたままの状態となるのを防止できるという効果がある。

【図面の簡単な説明】

【図1】本発明の第一の実施例を示すブロック図である。

【図2】図1の実施例のタイマ回路の詳細を示すブロック図である。

【図3】図1の実施例の正常動作時の信号の波形を示すタイミングチャートである。

【図4】図1の実施例において上位装置が故障して所定の時間内にアサイン情報のリセットを行わなかった場合の信号の波形を示すタイミングチャートである。

【図5】本発明の第二の実施例を示すブロック図である。

【図6】図1の実施例の時間データ保持回路の詳細を示す回路図である。

【図7】図5の実施例の時間データ保持回路の詳細を示す回路図である。

【図8】本発明の第三の実施例を示すブロック図である。

【図9】本発明の第四の実施例を示すブロック図である。

【符号の説明】

1・5・9・21・22 フリップフロップ回路(F/F)

2 論理和回路

3 タイマ回路

4・10 時間データ保持回路

6 クロック回路

7・23 論理積回路

8 カウンタ回路

24 排他的論理和回路

101 アサイン情報セット信号

102 アサイン情報リセット信号

103・123・124・125 アサイン情報

104 計時終了信号

105 フリップフロップ回路リセット信号(F/Fリセット信号)

106・107・116 時間データ

108 時間データ設定信号

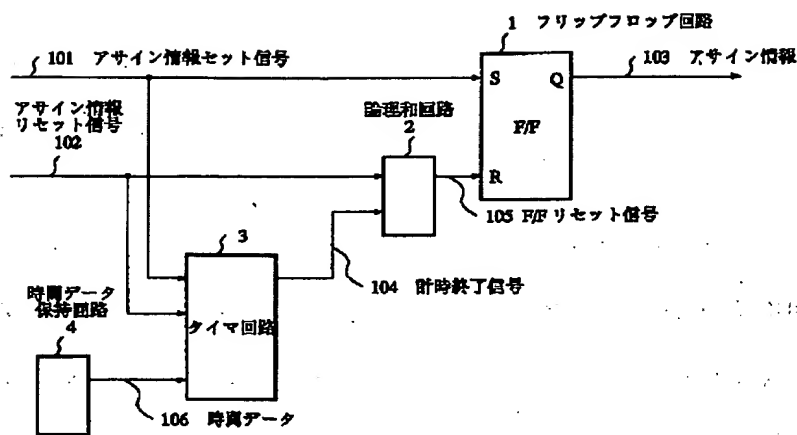
111 クロック制御信号

112・113 クロック信号

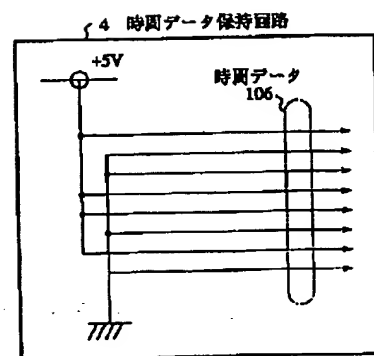
114 カウント終了信号

126 故障検出信号

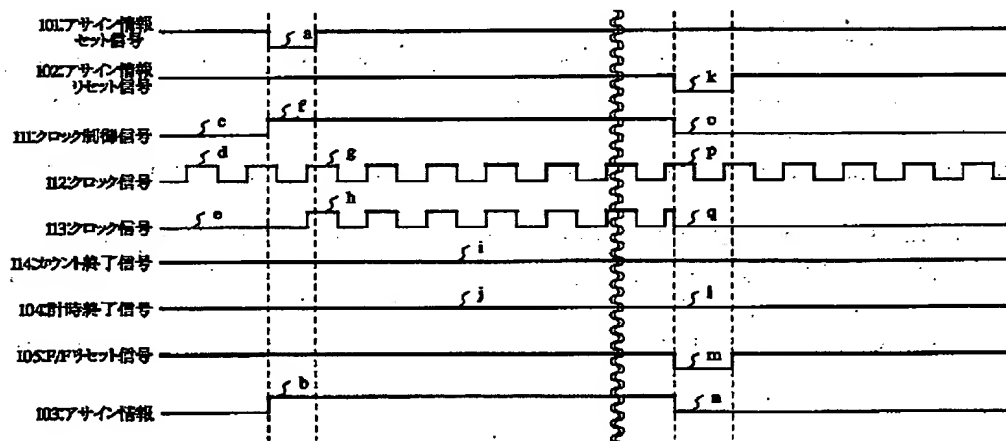
【図1】



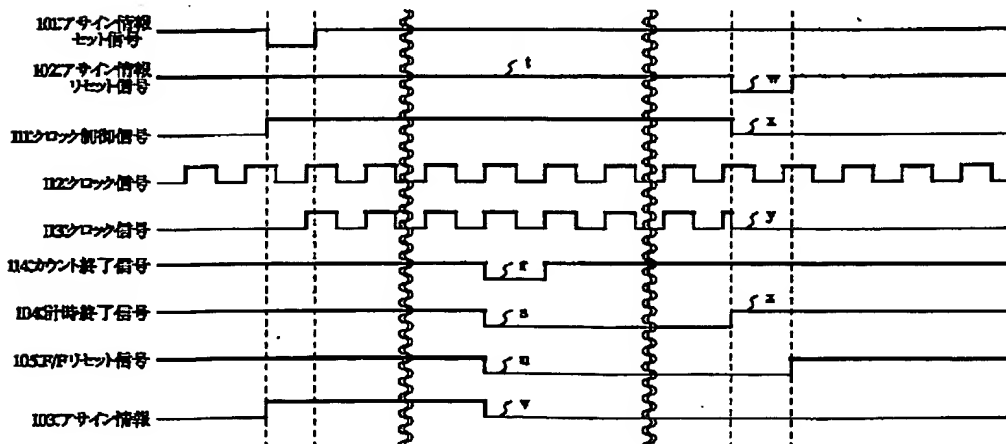
【図6】



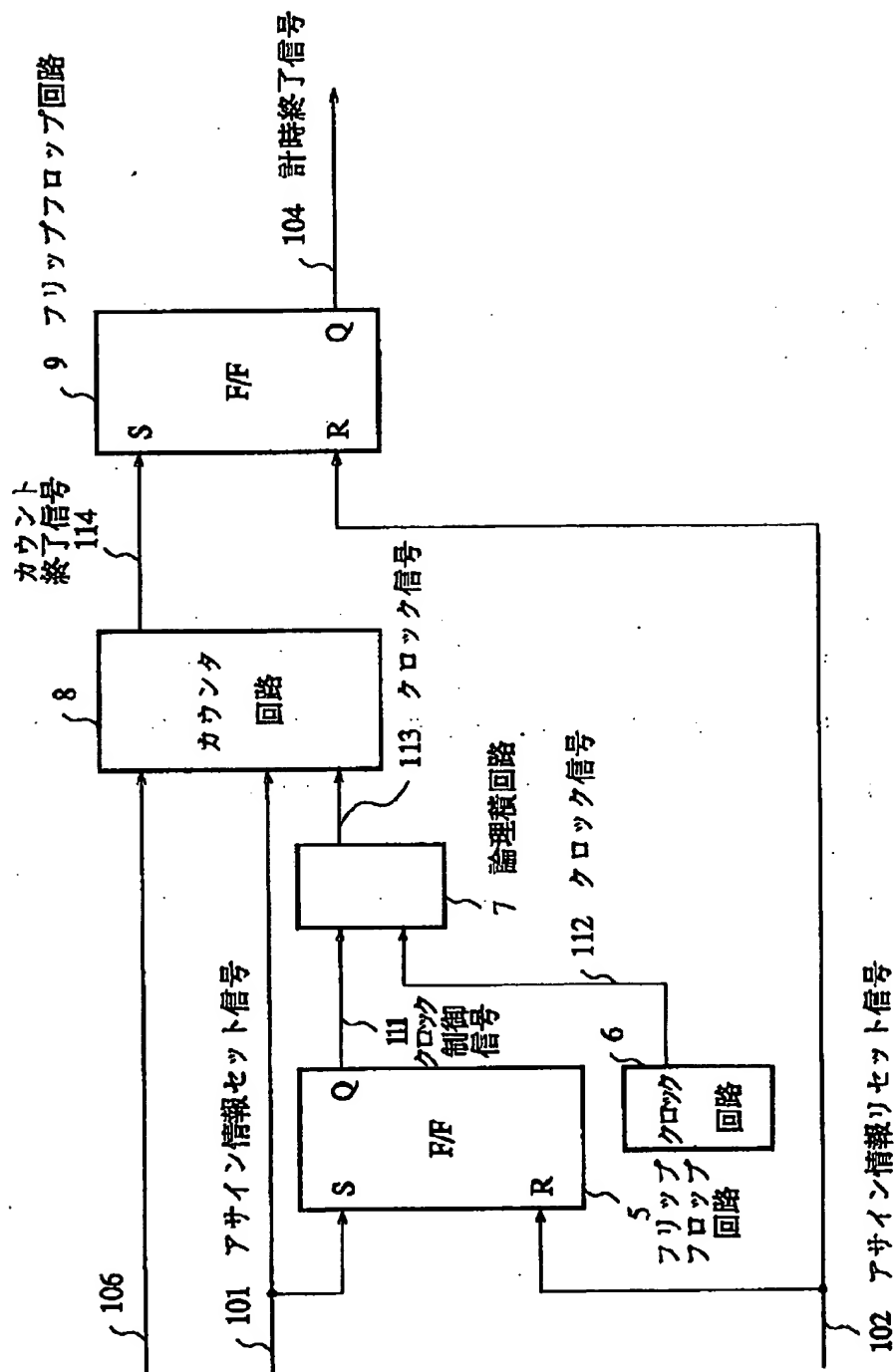
【図3】



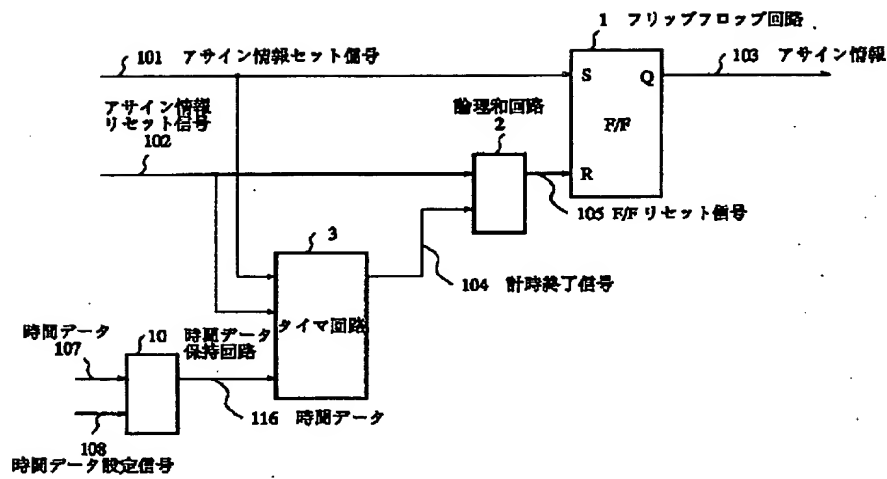
【図4】



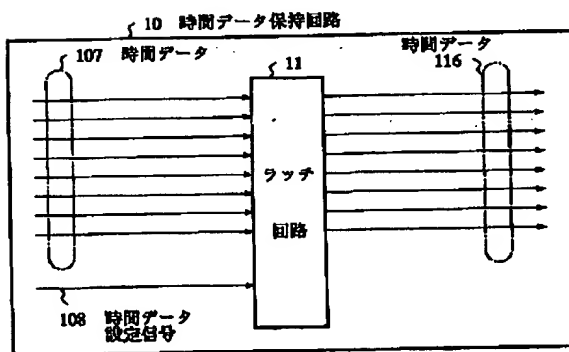
〔図2〕



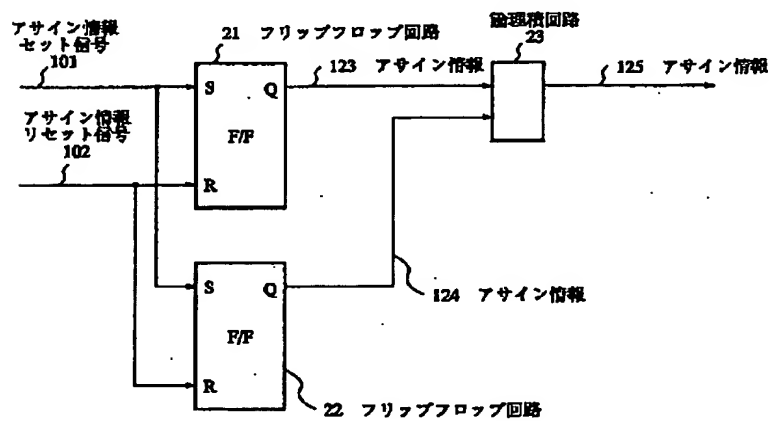
【図5】



【図7】



【図8】



【図9】

